

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-331156
 (43)Date of publication of application : 30.11.2001

(51)Int.Cl.

G09G 3/36
 G02F 1/133
 G02F 1/13357
 G02F 1/1368
 G09F 9/30
 G09G 3/20
 G09G 3/34

(21)Application number : 2000-329779

(22)Date of filing : 24.10.2000

(71)Applicant : HITACHI LTD

(72)Inventor : YAMAMOTO TSUNENORI
 SUZUKI NOBUYUKI
 TSUMURA MAKOTO
 HIYAMA IKUO

(30)Priority

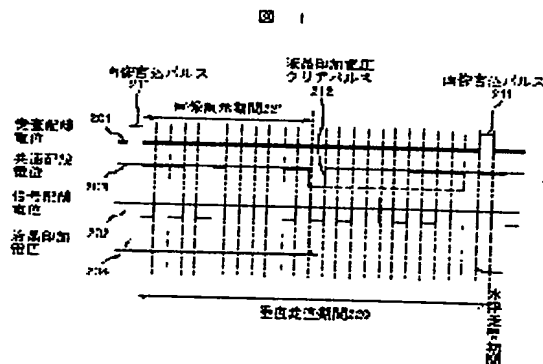
Priority number : 2000081721 Priority date : 17.03.2000 Priority country : JP

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a low cost liquid crystal display device which is capable of exhibiting a satisfactory display characteristics even when a moving picture whose moving speed is fast is displayed with low power consumption.

SOLUTION: In an active matrix type liquid crystal display device having scanning wiring, signal wiring, active elements, pixel electrodes, common wiring and counter electrodes on one side of a substrate, there are the counter electrodes, pixel electrodes corresponding to these counter electrodes and a plurality of second active elements connected to scanning wiring different from the scanning wiring connected to these pixel electrodes via the active elements. A pulse for selecting the common wiring corresponding to the pixel electrodes and clearing the picture signal being applied on the pixel electrodes is applied between the selection pulse of scanning wiring for wiring the picture signal to the pixel electrodes and the selection pulse of the scanning wiring for displaying the next picture.



LEGAL STATUS

[Date of request for examination] 25.11.2003
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number] 3747768
 [Date of registration] 09.12.2005
 [Number of appeal against examiner's decision of rejection]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-331156

(P2001-331156A)

(43)公開日 平成13年11月30日(2001.11.30)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 1
G 0 2 F 1/133	5 3 5	G 0 2 F 1/133	5 3 5 2 H 0 9 2
	5 5 0		5 5 0 2 H 0 9 3
	5 7 0		5 7 0 5 C 0 0 6
1/13357		G 0 9 F 9/30	3 3 8 5 C 0 8 0
審査請求 未請求 請求項の数37 O L (全 13 頁) 最終頁に続く			

(21)出願番号 特願2000-329779(P2000-329779)

(22)出願日 平成12年10月24日(2000.10.24)

(31)優先権主張番号 特願2000-81721(P2000-81721)

(32)優先日 平成12年3月17日(2000.3.17)

(33)優先権主張国 日本 (J P)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 山本 恒典

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(72)発明者 鈴木 伸之

千葉県茂原市早野3300番地 株式会社日立製作所ディスプレイグループ内

(74)代理人 100075096

弁理士 作田 康夫

最終頁に続く

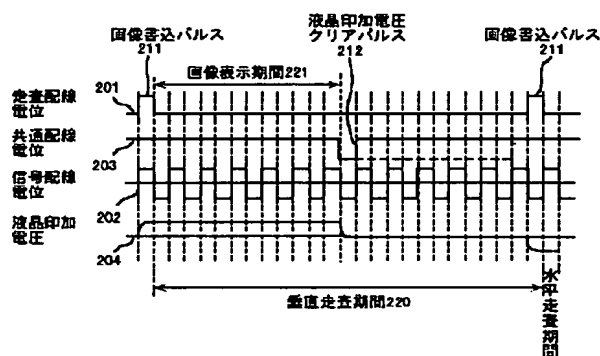
(54)【発明の名称】 液晶表示装置

(57)【要約】

【課題】移動速度が速い動画を表示した場合でも良好な表示特性が得られる液晶表示装置を低コストかつ低消費電力で提供する事。

【解決手段】基板の一方に走査配線と信号配線とアクティブ素子と画素電極と共通配線と対向電極とを有するアクティブマトリクス型液晶表示装置において、対向電極と、それらに対応する画素電極と、それらの画素電極とアクティブ素子を介して接続されている走査配線とは異なる走査配線に接続されている複数の第2のアクティブ素子が有り、画素電極に画像信号を書き込むための走査配線の選択パルスと、次の画像を表示するための走査配線の選択パルスとの間に、画素電極に対応する共通配線を選択し、画素電極に印加されている画像信号をクリアするパルスを印加する。

図 1



【特許請求の範囲】

【請求項 1】少なくとも一方が透明な一对の基板と、前記一对の基板間に挟持された液晶層とを有し、前記一对の基板の一方の基板上には、複数の走査配線と、これらの走査配線と交差するように配置した複数の信号配線と、前記複数の信号配線と前記複数の走査配線とのそれぞれの交点に対応して配置したアクティブ素子と、該アクティブ素子に接続された画素電極と、前記走査配線のそれぞれの間に形成された共通配線と、前記画素電極と画素電極との間に配置されそれぞれが前記共通配線に接続した対向電極を配置し、前記画素電極及び前記対向電極に印加した電圧により液晶層の液晶分子を動かして表示を行う液晶表示装置において、

前記複数の対向電極と、それらに対応する画素電極と、それらの画素電極と前記アクティブ素子を介して接続されている前記走査配線とは異なる走査配線に接続されている複数の第 2 のアクティブ素子を有し、

前記画素電極に画像信号を書き込むための走査配線の選択パルスと、次の画像を表示するための前記走査配線の選択パルスとの間に、前記画素電極に対応する共通配線を選択し、前記画素電極に印加されている画像信号をクリアするパルスを印加する液晶表示装置。

【請求項 2】前記液晶層に前記画素電極と前記対向電極に電圧を印加していない場合に黒表示をするノーマリーブラック特性の表示をする請求項 1 の液晶表示装置。

【請求項 3】前記第 2 のアクティブ素子が接続されている走査配線は、前記画素電極を挟む 2 本の走査配線のうち、前記アクティブ素子が接続されている走査配線とは別の走査配線であり、前記第 2 のアクティブ素子は前記別の走査配線上に画素電極と対向電極を延長して構成されている請求項 2 の液晶表示装置。

【請求項 4】前記画素電極に画像信号を書き込むための走査配線の選択パルスから、前記画素電極に印加されている画像信号をクリアするための共通配線の選択パルスまでの期間が、前記画像信号を書き込むための走査配線選択パルス間隔の 50% 以下である請求項 2 又は 3 記載の液晶表示装置。

【請求項 5】前記画素電極に画像信号を書き込むための走査配線の選択パルスから、前記画素電極に印加されている画像信号をクリアするための共通配線の選択パルスまでの期間が、前記画像信号を書き込むための走査配線選択パルス間隔の 25% 以下である請求項 2 又は 3 記載の液晶表示装置。

【請求項 6】前記画素電極に画像信号を書き込むための走査配線の選択パルスから、前記画素電極に印加されている画像信号をクリアするための共通配線の選択パルスまでの期間が、前記画像信号を書き込むための走査配線選択パルス間隔の 12.5% 以下である請求項 2 又は 3 の液晶表示装置。

【請求項 7】前記画素電極に画像信号を書き込むための走査配線の選択パルスから、前記画素電極に印加されている画像信号をクリアするための共通配線の選択パルスまでの期間が可変である請求項 2 又は 3 記載の液晶表示装置。

【請求項 8】前記液晶層の応答時間が 10ms 以下である請求項 7 の液晶表示装置。

【請求項 9】前記液晶層の応答時間が 5ms 以下である請求項 7 の液晶表示装置。

【請求項 10】前記液晶層の応答時間が 3ms 以下である請求項 7 の液晶表示装置。

【請求項 11】前記複数の走査配線に選択パルスを供給する走査配線駆動回路と、前記複数の信号配線に画像信号を供給する信号配線駆動回路と、前記複数の共通配線に選択パルスを供給する共通配線駆動回路と、それらの駆動回路に制御信号や画像信号を供給すると共に動画判定回路を内蔵する液晶表示コントローラを有し、前記液晶表示コントローラは内蔵する動画判定回路により、動画が動くスピードを判定し、そのスピードに従って前記走査配線の選択パルスから前記共通配線の選択パルスまでの期間を調整して、各駆動回路をタイミング制御する請求項 7 から 10 のいずれかに記載の液晶表示装置。

【請求項 12】一方の基板に複数の画素電極、複数の対向電極を持つ一对の基板の間に液晶を挟持する液晶表示装置において、前記複数の画素電極の 1 つに付き 2 つのアクティブ素子が接続され、

上記アクティブ素子の一方には走査線と映像信号線とが接続され、他方には前記走査線とは異なる走査線と対向電極と電気的に接続された共通線とが接続されているアクティブマトリクス基板を有する液晶表示装置。

【請求項 13】一方の基板に画素電極、他方の基板に電気的に一体の対向電極を持つ一对の基板間に液晶を挟持する液晶表示装置において、

前記複数の画素電極の 1 つに付き 2 つのアクティブ素子が接続され、

上記アクティブ素子の一方には走査線と映像信号線とが接続され、他方には前記走査線とは異なる走査線と対向電極と電気的に接続された共通線とが接続されているアクティブマトリクス基板を有する液晶表示装置。

【請求項 14】少なくとも一方が透明な一对の基板と、該一对の基板間に配置した液晶層を有する液晶表示装置において、

前記一对の基板の一方の基板上には、複数の走査配線と、該複数の走査配線に交差するように複数の信号配線を配置することで複数の画素を構成し、複数の画素に渡って配置された共通配線を有し、各画素には、

前記複数の走査配線と前記複数の信号配線の交点付近に配置された第 1 のアクティブ素子と、

該アクティブ素子に接続された画素電極と、
該画素電極に対応して、前記共通配線に接続するように
配置された対向電極と、
前記第 1 のアクティブ素子が接続している走査配線とは
別の走査配線に接続された第 2 のアクティブ素子とを有
する液晶表示装置。

【請求項 15】前記画素に対応して設けられる前記第 1
及び第 2 のアクティブ素子は、前記画素電極を挟んで配
置される 2 本の前記走査配線のうちの少なくともいずれ
かに接続されている請求項 12、13 又は 14 記載の液
晶表示装置。

【請求項 16】前記液晶表示装置における前記複数の走
査配線についての走査は、
前記第 1 のアクティブ素子を選択した後に前記第 2 のア
クティブ素子を選択していく方向の走査と、
前記第 2 のアクティブ素子を選択した後に前記第 1 のア
クティブ素子を選択する方向の走査と、を有する請求項
15 記載の液晶表示装置。

【請求項 17】前記液晶表示装置における前記複数の走
査配線についての走査は、
前記第 1 のアクティブ素子を選択した後に前記第 2 のア
クティブ素子を選択していく方向の走査と、
前記第 2 のアクティブ素子を選択した後に前記第 1 のア
クティブ素子を選択していく方向の走査と、を同時に、
かつ異なる前記走査配線に対して行っていく走査である
請求項 16 記載の液晶表示装置。

【請求項 18】前記第 1 のアクティブ素子を選択した後
に前記第 2 のアクティブ素子を選択していく方向の走査
が、複数同時に行われる請求項 17 記載の液晶表示装
置。

【請求項 19】前記液晶に前記画素電極と前記対向電極
に電圧を印加していない場合に黒表示をするノーマリー
ブラック特性の表示をする請求項 17 又は 18 記載の液
晶表示装置。

【請求項 20】前記走査配線の各々において、
前記第 1 のアクティブ素子を選択した後に前記第 2 のア
クティブ素子を選択していく方向の走査による選択と、
前記第 2 のアクティブ素子を選択した後に前記第 1 のア
クティブ素子を選択していく方向の走査による選択と、
の間の時間平均が 1 画面書換え周期の 50% 以下である
請求項 19 記載の液晶表示装置。

【請求項 21】前記走査配線の各々において、
前記第 1 のアクティブ素子を選択した後に前記第 2 のア
クティブ素子を選択していく方向の走査による選択と、
前記第 2 のアクティブ素子を選択した後に前記第 1 のア
クティブ素子を選択していく方向の走査による選択と、
の間の時間平均が 1 画面書換え周期の 25% 以下である
請求項 19 記載の液晶表示装置。

【請求項 22】前記走査配線の各々において、
前記第 1 のアクティブ素子を選択した後に前記第 2 のア

クティブ素子を選択していく方向の走査による選択と、
前記第 2 のアクティブ素子を選択した後に前記第 1 のア
クティブ素子を選択していく方向の走査による選択と、
の間の時間平均が 1 画面書換え周期の 12.5% 以下で
ある請求項 19 記載の液晶表示装置。

【請求項 23】前記走査配線の各々において、
前記第 1 のアクティブ素子を選択した後に前記第 2 のア
クティブ素子を選択していく方向の走査による選択と、
前記第 2 のアクティブ素子を選択した後に前記第 1 のア
クティブ素子を選択していく方向の走査による選択と、
の間の時間は可変である請求項 19 記載の液晶表示装
置。

【請求項 24】前記複数の走査配線に前記アクティブ素
子を選択する選択パルスを供給する走査配線駆動回路
と、
前記複数の信号配線に画像信号を供給する信号配線駆動
回路と、
前記走査駆動回路及び前記信号配線駆動回路に制御信号
又は画像信号を供給すると共に動画判定回路を内蔵する
液晶表示コントローラと、を有し、
前記液晶表示コントローラは内蔵する動画判定回路によ
り、動画が動くスピードを判定し、そのスピードに従っ
て前記走査配線の前記選択パルス次の前記選択パルスま
での期間を調整して、各駆動回路をタイミング制御をす
る請求項 23 記載の液晶表示装置。

【請求項 25】少なくとも一方が透明な一対の基板と、
該一対の基板間に配置した液晶層とを有し、画像データ
を取り込んで、該画像データに応じて表示を行う液晶表
示装置において、

前記一対の基板の一方の基板上には表示部を有し、
前記画像データに応じて前記表示部に表示するための制
御信号を出力する液晶表示コントローラと、
該液晶表示コントローラから出力された制御信号を受け
取り、受け取った制御信号に応じて前記表示部を駆動す
る走査配線駆動回路、信号配線駆動回路、及び共通配線
駆動回路と、

前記表示部は、前記走査配線駆動回路に接続された複数
の走査配線と、前記信号配線駆動回路に接続された複数
の信号配線と、前記共通配線駆動回路に配置された複数
の共通配線が配置され、前記複数の走査配線及び前記複
数の信号配線により形成された複数の画素のそれぞれに
は、対応する画素に印加する制御信号の保持を制御する
手段と、対応する画素に印加する制御信号のクリアを制
御する手段とを有する液晶表示装置。

【請求項 26】前記制御信号の保持を制御する手段は、
対応する画素を形成している走査配線に接続しており、
前記制御信号のクリアを制御する手段は、前記走査配線
以外の走査配線に接続している請求項 25 の液晶表示装
置。

【請求項27】前記共通配線駆動回路は、前記走査配線駆動回路が、ある画素に対して画像を表示するための制御信号である選択パルスと、前記ある画素に対する次に表示する画像を送信するための制御信号である選択パルスとの間に、前記ある画素に対する制御信号であるクリアパルスを送信している請求項26の液晶表示装置。

【請求項28】前記選択パルスにより前記制御信号の保持を制御する手段を駆動し、前記クリアパルスにより前記制御信号のクリアを制御する手段を駆動する請求項27の液晶表示装置。

【請求項29】前記制御信号の保持を制御する手段が接続している走査配線と前記制御信号のクリアを制御する手段が接続している走査配線は隣接し、前記走査配線を選択する順番により制御信号の保持及びクリアを制御する請求項26に記載の液晶表示装置。

【請求項30】前記制御信号の保持を制御する手段及び前記制御信号のクリアを制御する手段はアクティブ素子である請求項25から29のいずれかに記載の液晶表示装置。

【請求項31】前記アクティブ素子は薄膜トランジスタにより構成され、前記制御信号を保持する手段はコンデンサにより構成された請求項30の液晶表示装置。

【請求項32】前記液晶表示コントローラに接続された光源駆動回路と、該光源駆動回路により制御される光源とを有する請求項25の液晶表示装置。

【請求項33】前記液晶層の応答時間が10m秒以下である請求項4又は20記載の液晶表示装置。

【請求項34】前記液晶層の応答時間が5m秒以下である請求項5又は21記載の液晶表示装置。

【請求項35】前記液晶層の応答時間が3m秒以下である請求項6又は22記載の液晶表示装置。

【請求項36】前記液晶層を挟持している一対の基板を照明している照明装置と、前記照明装置を駆動している駆動回路と、前記駆動回路を制御する回路を内蔵する液晶表示コントローラを有し、前記液晶表示コントローラは内蔵する動画判定回路により、動画が動くスピードを判定し、そのスピードに従って前記照明装置駆動回路を制御して照明装置の明るさを調整する請求項11又は24記載の液晶表示装置。

【請求項37】部分的に発光を調整する事が可能な前記照明装置と、前記照明装置の各発光部分をそれぞれ独立に駆動する事が可能な前記照明装置駆動回路を有し、前記液晶表示コントローラは内蔵する動画判定回路により、動画が動くスピードを判定し、そのスピードに従って前記照明装置駆動回路を制御して照明装置の明るさ及び、発光部位を調整する請求項11又は24記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はアクティブマトリクス型液晶表示装置に関するものである。

【0002】

【従来の技術】近年、液晶表示装置が液晶TVなど動画を主体とする表示装置として適用されつつある。しかし、液晶表示装置における動画の画質(以下、動画画質)の劣化についての報告が電気通信学会技術報告EID96-4, p.p.19-26(1996-06)等でなされている。これによると、液晶表示装置はホールド発光型表示装置であり、ホールド発光している動画像と人間の動画追従視による視線移動の不一致により動画像にぼやけが発生するため、動画画質が低下してしまうという事である。この動画画質の劣化を改善するには、フレーム周波数をn倍速化する、もしくは画像表示を1/nフレーム期間とし、残りの期間をブランキング表示とする方法がある事も記載されている。なお、ここでnの数値は大きいほど、高速移動する動画に対しても有効である。

【0003】この動画画質改善方法を実現する方法としては、例えば特開平11-109921号公報に記載のように液晶パネルの上部と下部に信号配線駆動回路を設けて、1画面を表示する間に2度走査配線を選択し、上下の信号配線駆動回路からそれぞれ表示画像書込みとブランキング画像書込み、1画面周期の約半分を画像表示、残りの半分をブランキング表示とする方法がある。

【0004】

【発明が解決しようとする課題】しかしながら、特開平11-109921号公報における方法では液晶パネルの上部と下部に高価な信号配線駆動回路を使用するため、部品コストが高く、液晶表示装置もまた高価になってしまう。

【0005】また、この公知技術のような1画面周期の半分をブランキング表示とする方法では、動画の表示スピード(画面上の移動スピード)が速い場合には表示特性の改善効果が不十分である。

【0006】本発明の目的は、動画を表示した場合でも良好な表示特性が得られる液晶表示装置を提供することである。

【0007】

【課題を解決するための手段】本発明の液晶表示装置の一つの実施形態によれば、少なくとも一方が透明な一対の基板の一方の基板上に、複数の走査配線と、これらの複数の走査配線にマトリクス状に形成された複数の信号配線と、これらの交点付近に形成した複数のアクティブ素子と、このアクティブ素子に接続された複数の画素電極と、走査配線のそれぞれの間に形成した複数の共通配線と、共通配線に接続され、画素電極との間の液晶層に電界を生じるように形成した複数の対向電極とを有し、対向電極と、それらに対応する画素電極と、それらの画素電極とアクティブ素子を介して接続されている走査配線とは異なる走査配線に接続されている複数の第2のア

クティブ素子が有り、画素電極に画像信号を書き込むための走査配線の選択パルスと、次の画像を表示するための走査配線の選択パルスとの間に、画素電極に対応する共通配線を選択し、画素電極に印加されている画像信号をクリアするパルスを印加しているというものである。尚、このような液晶表示装置においては、液晶が電圧無印加の場合に黒表示をするノーマリーブラック特性の表示モードとすることも特徴である。

【0008】

【発明の実施の形態】以下、本発明を実施例により具体的に説明する。

（実施例1）本実施例のアクティブマトリクス型液晶表示装置における画素の回路図を図2に示す。

【0009】図2では、走査配線101と信号配線102がマトリクス状に形成され、その交点に走査配線101がゲート端子となるように、アクティブ素子105が配置されている。アクティブ素子105は走査配線101に制御信号である選択パルス（ある電圧値）が与えられると信号配線102の制御信号である電位を液晶104や保持容量106に書き込む。また、アクティブ素子105は走査配線101に制御信号となる非選択電圧が与えられると、液晶104や保持容量106の電位を保持させるように動作する。尚、液晶104はアクティブ素子105によって書き込まれた電位と共通配線103の電位との電位差により配向方向が変化し、これによって画素の透過率が変化するものである。

【0010】以上が通常のアクティブマトリクス型液晶表示装置の画素回路である。

【0011】本実施例ではさらに、前段の走査配線101をゲート端子とし、共通配線103とアクティブ素子105の液晶104側の端子をソース・ドレイン端子とした第2のアクティブ素子107が配置されているのが特徴の一つである。本実施例における画素構造の例を図16に示す。

【0012】この第2のアクティブ素子107は前段の走査配線101が選択された場合だけでなく、共通配線103が選択された場合においても、容量結合により相対的に前段の走査配線101が選択された場合と同等となることから、液晶104に印加されている電位差を解消するように動作する。

【0013】本実施例においては、液晶104は電圧無印加状態で黒表示をするノーマリーブラック特性の液晶を用いているために、この第2のアクティブ素子107が動作して、液晶104に印加されている電圧が解消された場合には画素は黒表示状態となる。

【0014】次に、この画素構造の各配線に印加する電圧を図1に示す。

【0015】本実施例では動画質を向上するために、図1に示すように1垂直走査期間220（＝1画像書き換え周期）中の一部の期間だけ画像を表示し、残りを黒表示

によるブランキング表示としている。さらに詳しく説明すると、画像の表示は画像書き込みパルス211が走査配線電位201に印加され、図2のアクティブ素子105が動作して、信号配線電位202が液晶104に印加される事により開始される。そして、共通配線電位203に液晶印加電圧クリアパルス212が印加される事により、図2で示した第2のアクティブ素子107が動作し、液晶104に印加されている電圧が解消されるため、画像は黒表示のブランキング表示となる。

【0016】つまり、画像が表示されている期間221は画像書き込みパルス211が印加されてから、液晶印加電圧クリアパルス212が印加されるまでの期間である。なお、液晶印加電圧クリアパルス212は図2で実線で書かれているように1H期間程度でもよいし、十分に液晶印加電圧を解消するために点線のように次の画像書き込みパルス211の直前までの期間としても良い。さらに、この液晶印加電圧クリアパルス211の電圧は一定である必要が無く、第2のアクティブ素子107の動作による電圧変動を抑えるように液晶印加電圧クリアパルス211の電圧値をパルス期間中に変動させても良い。

【0017】ここで、動画表示性能を向上するためには、前にも説明したように垂直走査期間220内の画像表示期間221の比率を小さくする事と、液晶の応答特性を早くする事が必要である。我々が開発した時系列画像積分法による液晶ディスプレイの動画質測定と電気通信学会技術報告EID96-4, pp. 19-26 (1996-06)等から、移動速度の異なる動画を適切に表示するための画像表示期間221の割合と液晶の応答速度が明らかになった。これを図3に示す。この図によると、TV放映の中に頻繁に出てくるような10deg/秒程度の標準動画を許容できる程度までに動画質を改善するためには、画像表示期間221が垂直走査期間220の1/2以下で、液晶の応答速度が10m秒以下である事が必要である。また、10deg/秒程度の標準動画の動画質劣化を検知できない程度に改善するためには、画像表示期間221が垂直走査期間220の1/4以下で、液晶の応答速度が5m秒以下である事が必要である。さらに、20deg/秒程度の高速動画の動画質劣化を検知できない程度に改善するためには、画像表示期間221が垂直走査期間220の1/8以下で、液晶の応答速度が3m秒以下である事が必要である。

【0018】本実施例においては、画像表示期間221が垂直走査期間220の1/8になるように液晶印加電圧クリアパルス212を調整してあり、液晶も応答速度が3m秒程度の液晶材料を使用しているために、高速移動する動画を表示した場合でも動画質劣化を検知できない程度の画質となっている。

【0019】本実施例におけるアクティブマトリクス型液晶表示装置のブロック図を図4に示す。画像出力源から出力された画像データは液晶表示コントローラ170

に入力され、ここから、走査配線駆動回路11や信号配線駆動回路120、共通配線駆動回路130にタイミング制御信号や画像データ信号等の制御信号が出力される。なお、画像表示期間221を垂直走査期間220の1/8とするために、液晶コントローラ170は共通配線駆動回路130に出力する黒表示書込みパルス制御信号を走査配線駆動回路110に出力する画像書込みパルス制御信号より1/8垂直走査周期だけ遅れて出力している。ここで、共通配線駆動回路130は図5に示すように、主にシフトレジスタ131とアンプ回路132から構成されており、走査配線駆動回路110に使用している回路と全く同じICを使用できる。この走査配線駆動回路110用のICは信号配線駆動回路120用のICと比べて低コストである。また、信号配線駆動回路用ICを液晶表示部150の上下に2セット配置する場合と比較して、走査配線駆動回路用ICを液晶表示部150の左右に2セット配置する場合は、使用するICの個数も少なくなるため、さらに低コストとなる。

【0020】以上のことから、本実施例では液晶として応答速度が3m秒程度のものを用い、画像表示期間を1フレーム（垂直走査期間）の1/8としているために、移動速度が速い動画を表示しても良好な表示性能が得られる。また、これを実現するための回路構成は信号配線駆動回路用ICを2セット使用するのではなく、走査配線駆動回路用ICを2セット使用するもので、より低コストで構成可能である。

（実施例2）本実施例は以下の要件を除けば実施例1と同様の構成である。

【0021】本実施例における液晶印加電圧クリアパルス212のタイミングは画像表示期間221が1/8垂直走査期間となるように固定されておらず、液晶表示コントローラ170からの制御信号により可変となっており、画像表示期間221の垂直走査期間220に対する比率がリアルタイムに変更可能となっている。

【0022】前述したように、高速移動する動画の画質を向上するためには画像表示期間221の比率を小さくすればよい。しかし一方で、静止画の表示については、画像表示期間221の比率が大きいほうが、ちらつきが少ないため高画質となる。また、画像表示期間221の比率が大きいと、同じ輝度で表示するために必要な照明装置の発光量を減らし、消費電力を少なくする事ができる。

【0023】このため本実施例では、表示する画面内の物体の移動速度を液晶表示コントローラ170内で判定し、1画面書き換え毎に、1垂直走査期間内での液晶印加電圧クリアパルス212を印加するタイミングを変化させて、1垂直走査期間220における画像表示期間221の割合を調整し、表示する動画もしくは静止画の画質が最適な表示となるように共通配線駆動回路130を制御している。また同時に、画像表示期間221が変化し

ても、表示輝度が変化しないように、液晶表示コントローラ170はバックライト制御回路161を制御してバックライトの明るさを調整している。

【0024】本実施例のアクティブマトリクス型液晶表示装置のブロック図は実施例1と同じであるが、液晶表示コントローラ170は実施例1と異なっている。この液晶表示コントローラ170の構成図を図6に示す。まず、画像出力源からの画像データを元にして、信号配線駆動回路制御用回路173と走査配線駆動回路制御用回路174は、それぞれ信号配線駆動回路と走査配線駆動回路に画像データ信号やタイミング制御信号を出力している。ここまでは通常の液晶表示コントローラと同じであるが、本実施例の液晶表示コントローラ170では、画像出力源からの画像データとメモリ172に保存されていた1画面前の画像データを動画判定回路171で比較して、画像内の物体の移動速度を検出している。この検出結果により画像表示期間制御回路175は共通配線駆動回路130への出力タイミングを制御して、画像表示期間を垂直同期期間の1/8から1/1まで変化させる。また同時に、明るさ制御回路176はバックライトの明るさを1倍から1/8倍まで変化させている。これにより、移動速度の速い動画を表示する場合には画像表示期間を1/8として、動画質劣化の無い動画表示をし、ほとんど動きの無い静止画を表示する場合には画像表示期間を1/1に、バックライトの明るさを1/8として、低消費電力でちらつきの少ない高画質な静止画表示ができる。

【0025】以上のことから、本実施例では移動速度が速い動画だけでなく、静止画を表示しても良好な表示性能が得られる。また、これを実現するための回路構成の増加は少ないために低コストで構成可能である。さらに、移動速度が低い画像を表示する場合には低消費電力となる。

【0026】なお、本実施例においては、画像出力源からの画像データを元に動画判定回路171で画像内の物体の移動速度を検出して、画像表示期間やバックライトの明るさを制御しているが、画像出力源が画像出力と同時に画像内の物体の移動速度を表現するような信号を出力する場合には、その信号を使って画像表示期間やバックライトの明るさを制御しても良い。

（実施例3）本実施例は以下の要件を除けば実施例2と同様の構成である。

【0027】本実施例においては、図7に示すように、実施例2において液晶表示部150の左右に分かれていた走査配線駆動回路110と共通配線駆動回路130を一つの回路にまとめて、走査・共通配線駆動回路140として、液晶表示部150の片側に配置してある。

【0028】この走査・共通配線駆動回路140の内部構成は図8に示してあるように、走査配線選択用のシフトレジスタ141とアンプ回路144、及び共通配線選

択用のシフトレジスタ142とアンプ回路143から構成されており、走査配線駆動用出力端子と共通配線駆動用出力端子が1本おきに配置されている。1つのICチップとしての出力端子数は、実施例2で使用した走査配線駆動用ICと同じであるため、使用するICの数は実施例2と同等であるが、液晶表示部の片側のみにICを実装するために、ICを接続するためのPCB基板のコストや実装コストなどが低減できる。

【0029】次に、本実施例の液晶表示コントローラ170のブロック図を図9に示す。本実施例の液晶表示コントローラ170では走査配線駆動回路制御用回路174がなく、画像表示期間制御回路175が走査・共通配線駆動回路140を直接制御している。

【0030】以上のことから、本実施例では移動速度が速い動画だけでなく、静止画を表示しても良好な表示性能が得られ、移動速度が低い画像を表示する場合には低消費電力となるだけでなく、部品コストや製作コストを更に低減する事が可能である。

(実施例4) 本実施例は以下の要件を除けば実施例2と同様の構成である。

【0031】本実施例においては、図10に示すように、光源として例えばバックライト160として発光領域分離型バックライトを使用している。このような発光する領域を分割して別々に明るさを制御できるバックライトを使用した場合、移動速度が速い動画を表示するために画像表示期間を短くした時に、画像表示に必要な領域のみを発光させて、他の領域を消灯させる事で消費電力を低減する事ができる。このためには画像表示期間と同調させてバックライト160の発光部位と明るさを調節する必要がある。図11に示した本実施例における液晶表示コントローラ170では、動画判定回路171による動画移動速度検出結果を元に、画像表示期間制御回路175による画像表示期間の制御と同調して、発光部位・明るさ制御回路177によりバックライトの発光領域と明るさを制御している。

【0032】なお、本実施例ではバックライトの発光領域は4つの領域に分離しているが、領域の分割数は4つ以外でもかまわない。また、領域分割が可能であるならば、バックライトに限らず、フロントライト、サイドライトであってもよい。

【0033】以上のことから、本実施例では移動速度が速い動画だけでなく、静止画を表示しても良好な表示性能が得られ、部品コストや製作コストを更に低減する事が可能であるだけでなく、移動速度が速い画像を表示する場合でも低消費電力となる。

【0034】なお、本実施例においては、画像出力源からの画像データを元に動画判定回路171で画像内の物体の移動速度を検出して、画像表示期間やバックライトの発光領域と明るさを制御しているが、画像出力源が画像出力と同時に画像内の物体の移動速度を表現するよう

な信号を出力する場合には、その信号を使って画像表示期間やバックライトの発光領域と明るさを制御しても良い。

(実施例5) 本発明の実施例1との相違点は以下の通りである。

【0035】図12に本発明の第一の実施例の液晶表示装置の電気的な模式図を示す。アクティブマトリクス基板上には映像信号用のm本の走査線 $GL_S1 \sim GL_S(m)$ 、初期化用のm本の走査線 $GL_C1 \sim GL_C(m)$ 、n本の映像信号線 $SL1 \sim SL(n)$ とm本の共通線 $CL1 \sim CL(m)$ が形成されている。このうち映像信号用走査線、初期化用走査線、映像信号線は各々アクティブマトリクス基板の周囲まで引き出され、映像信号用走査線駆動回路、初期化用走査線駆動回路、映像信号線駆動回路と電気的に接続される。共通線はアクティブマトリクス基板の表示領域外の部分で電気的に接続され、アクティブマトリクス基板の周囲まで引出された後に共通駆動回路と接続される。各々の駆動回路は映像信号変換・走査信号変換・電源生成を担う回路と接続される。

【0036】図13に、アクティブマトリクス基板上に形成されるi行j列目の画素の電気的等価回路を示す。映像信号用薄膜トランジスタ $TFT_S(i, j)$ はそのソース電極が映像信号線 $SL(j)$ に、ゲート電極が映像信号線用走査線 $GL_S(i)$ に接続され、ドレイン電極は画素電極 $PE(i, j)$ に接続される。初期化用薄膜トランジスタ $TFT_C(i, j)$ は、そのソース電極が共通線 $CL(i)$ に、ゲート電極が初期化用走査線 $GL_C(i)$ に接続され、ドレイン電極は画素電極 $PE(i, j)$ に接続される。画素電極 $PE(i, j)$ は共通線 $CL(i)$ と電気的に接続された共通電極 $CE(i, j)$ との間に挟持される液晶を介して液晶容量 $C_LC(i, j)$ を形成する。

【0037】この時前記2つの基板の互いに対向する面に液晶が一定の方向に配向するように処理を施す。また前記2つの基板のうち一方の基板の互いに対向しない面には液晶の配向方向に平行な透過軸を持つ偏光板を、もう一方の基板の互いに対向しない面には液晶の配向方向に直交する透過軸を持つ偏光板を設けることで、液晶表示装置を貫通する光を変調する効果を持たせることができる。具体的には液晶に電圧を印加していない際には光が透過せず、画素電極と共通電極の間とに電位差を与え液晶に電界を印加すると光が透過するいわゆるノーマリーブラック型の液晶表示装置となる。

【0038】図14に図13の回路に印加される電圧波形とそれによる液晶表示装置の透過率の時間変化を示す。この際の印加電圧波形と液晶表示装置の透過率の関係は以下ようになる。

(状態A) 通常初期化用薄膜トランジスタ $TFT_C(i, j)$ は選択状態にあり、画素電極と共通電極は同

電位となっている。この状態では液晶の偏光変換効果がないため、液晶表示装置に入射する光は互いに透過軸が直交する偏光板に阻まれることで液晶表示装置を透過することができない（黒状態）。画素電極PE (i, j) に画素信号を書き込む直前に初期化用薄膜トランジスタTFT_C (i, j) を非選択とし、画素電極PE (i, j) と共通電極CE (i, j) を電氣的に絶縁する。

（状態B）映像信号線用走査線GL_S (i) を選択し、映像信号線SL (i) に印加されている画像信号を画素電極PE (i, j) に書き込む。

（状態C）映像信号線用走査線GL_S (i) を非選択とし、画素電極PE (i, j) と映像信号線SL (i) とを電氣的に絶縁する。これにより画像信号が画素電極PE (i, j) に保持され、画素電極PE (i, j) と共通電極との間の電位差によって発生する電界により液晶がアクティブマトリクス基板に平行な平面上で回転する。これにより液晶の偏光変換効果が生じ、液晶表示装置に入射した光はそれを透過することができる（白状態）。

（状態D＝状態A）初期化走査線GL_C (i) を選択し、画素電極PE (i, j) と共通電極CE (i, j) を同電位にすることで画像信号を消去し、液晶表示装置に入射した光がそれを透過出来ない状態に戻す（黒状態）。

【0039】一連の駆動波形により液晶の透過率の透過率の時間変化は図14に示すような1垂直走査期間中に非透過期間を含む間欠型になる。この1垂直走査期間中における透過期間、非透過期間の割合と液晶の応答速度、動画質劣化の関係は実施例1と同様である。

（実施例6）実施例5との相違点は以下の通りである。

【0040】図15に本実施例のアクティブマトリクス基板上に形成されるi行j列目の画素の電氣的等価回路を示す。

【0041】映像信号用薄膜トランジスタTFT_S (i, j) はそのソース電極が映像信号線SL (j) に、ゲート電極が映像信号線用走査線GL_S (i) に接続されドレイン電極はITO等の透明な導電体で形成された画素電極PE (i, j) に接続される。初期化用薄膜トランジスタTFT_C (i, j) は、そのソース電極が共通線CL (i) に、ゲート電極初期化用走査線GL_C (i) に接続され、ドレイン電極は画素電極PE (i, j) に接続される。画素電極PE (i, j) は共通線CL (i) との間に蓄積容量C_STG (i, j) を形成する。一方アクティブマトリクス基板と対向するブラックマトリクス基板のアクティブマトリクス基板と対向する面の表示領域にはITO等の透明な導電体で形成された対向電極CEが形成され、表示領域外において共通線CL (i) と電氣的に接続される。前記2つの基板のうち一方の基板の互いに対向しない面には液晶の配

向方向に平行な透過軸を持つ偏光板を、もう一方の基板の互いに対向しない液晶の配向方向と直交する透過軸を持つ偏光板を設けることで、液晶表示装置を貫通する光を変調する効果を持たせることができる。具体的には液晶に電界を印加していない際には光が透過せず、画素電極と共通電極との間とに電位差を与え液晶に電界を印加すると光が透過するいわゆるノーマリーブラック型の液晶表示装置となる。以下、駆動方法、及び1垂直走査期間中における透過期間、非透過期間の割合と液晶の応答速度、動画質劣化の関係は実施例5と同様である。

（実施例7）本実施例では、画素回路や画素構造またノーマリーブラック特性の液晶を用いている点では実施例1と同様の構成であるが、液晶104に印加されている電位差を解消するための各配線の駆動方法が異なっている。

【0042】図2の画素回路図や図16の画素構造における走査配線を選択順序としては、走査配線101を選択した後に前段の走査配線1011を選択する順序と、前段の走査配線1011を選択した後に走査配線101を選択する順序がある。ここで、前者を上方スキャン、後者を下方スキャンとする。下方スキャンでは、まず第2のアクティブ素子107が導通状態になり、液晶104に印加されている電位差を0とした後に、アクティブ素子105が導通状態となり信号配線102の制御信号電位を液晶104や保持容量106に書き込むため、画素は信号表示状態となり、画像を表示する状態となる。

【0043】一方、上方スキャンでは、先にアクティブ素子105が導通状態となり信号配線102の制御信号電位を液晶104に書き込むが、その直後に第2のアクティブ素子107が導通状態になり、液晶104に印加されている電位差を0とするために、黒表示状態となる。

【0044】実施例1では共通配線に選択パルスを印加することで黒表示としていたが、本実施例ではこのように走査方向の異なる2つの走査選択順序を制御することで画像表示から黒表示までの期間を制御する。

【0045】図17に本実施例の液晶表示装置のブロック図を示す。実施例1のブロック図（図4）と比較すると共通配線駆動回路がなくなっている。これにより共通配線駆動回路に使用するIC、及びICを接続する為のPCB基板などが不要となる為、これらのコストや実装コストなどが低減できる。

【0046】ここで、本実施例における走査配線の駆動方法を説明する為に、液晶表示部150を例として上下8つの領域（領域a～g）に分割し、この時の走査配線駆動方式を図18に示す。各領域がそれぞれ9本の走査配線を持つとして、横軸が時間、縦軸はある場所（領域）における走査配線の選択状況を示す。

【0047】まず、表示を開始する時は最上部の領域aの最上部の走査配線より下方スキャンを開始する。下方

10

20

30

40

50

スキャンされた走査配線に接続されている画素は画像を表示する。こうして、領域aに画像が表示された後に、続けて領域bの走査配線も下方スキャンし画像を表示する。この下方スキャンが領域cの最上部の走査配線に到達した時、領域aの最下部の走査配線より上方スキャンが開始される。この上方スキャンにより領域aの画像は下側から上側に向かって消去される（黒表示による消去）ことになる。このようにして下方スキャンが領域dに到達した時には、上方スキャンは領域aの最上部に到達し、領域b、cは画像表示であるが領域aは黒表示状態となる。下方スキャンはこのまま領域dを進み領域dに画像を表示させるが、同時に領域bの最下部から上方スキャンが開始され、領域bの画像を消去し始める。このようにして、各領域毎に画像の表示、消去を制御できる。ここで、領域bの下部から始った上方スキャンは途中で止めると、その走査配線に接続された画素の表示がおかしくなる為、パネル上部である領域aの上まで続けられる。なお、領域dより下の領域から始った上方スキャンは途中で下方スキャンに合流するため領域aまで到達しない。

【0048】本実施例では領域を8つに分割し、1つの領域内の走査配線が下方スキャンされた後に上方スキャンされるまでの平均期間を2/8垂直期間としてある為、画像表示期間は1/4垂直期間となる。ここで、この領域分割数や上方スキャン発生タイミングを変化させることにより、実施例2のように画像表示期間の垂直走査期間220に対する比率をリアルタイムに変更可能となっている。また、そのため、図19に示してある本実施例における液晶コントローラ170は実施例3と同様に、表示する画像の移動速度を判定して走査配線駆動回路110を制御できるようになっている。さらに、実施例4と同様に発光領域分離型バックライトを使用することも可能である。

【0049】以上のように本実施例では、各画素における画像表示及び消去（黒表示）を実現する駆動方式として走査配線の選択順序を制御する方式とした為、部品コストや製作コストを更に低減することが可能である。

【0050】

【発明の効果】本発明は、動画を表示する場合にも良好な表示性能が得られる液晶表示装置を提供できる。

【図面の簡単な説明】

【図1】実施例1のアクティブマトリクス型液晶表示装置の各配線への電圧印加方法。

【図2】実施例1のアクティブマトリクス型液晶表示装置の画素部の等価回路図。

【図3】動画を適切に表示するために必要な画像表示期間と液晶応答速度を示す図。

【図4】実施例1のアクティブマトリクス型液晶表示装

置のブロック図。

【図5】実施例1のアクティブマトリクス型液晶表示装置の共通配線駆動回路の内部構成図。

【図6】実施例2のアクティブマトリクス型液晶表示装置の液晶表示コントローラのブロック図。

【図7】実施例3のアクティブマトリクス型液晶表示装置のブロック図。

【図8】実施例3のアクティブマトリクス型液晶表示装置の走査・共通配線駆動回路の内部構成図。

【図9】実施例3のアクティブマトリクス型液晶表示装置の液晶表示コントローラのブロック図。

【図10】実施例4のアクティブマトリクス型液晶表示装置のバックライト部。

【図11】実施例4のアクティブマトリクス型液晶表示装置の液晶表示コントローラのブロック図。

【図12】実施例5の液晶表示装置の電気的な模式図。

【図13】実施例5の画素の電気的等価回路図。

【図14】図13の回路に印加される電圧波形と液晶表示装置の透過率変化図。

【図15】実施例6の画素の電気的等価回路図。

【図16】実施例1の画素構造図。

【図17】実施例7の液晶表示装置のブロック図。

【図18】実施例7の液晶表示装置の走査配線駆動方式を示す模式図。

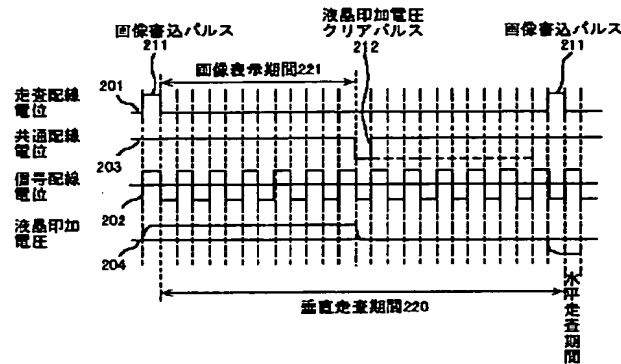
【図19】実施例7の液晶表示装置の液晶表示コントローラのブロック図。

【符号の説明】

101…走査配線、102…信号配線、103…共通配線、104…液晶、105…アクティブ素子、106…保持容量、107…第2のアクティブ素子、110…走査配線駆動回路、120…信号配線駆動回路、130…共通配線駆動回路、131…シフトレジスタ、132…アンプ回路、140…走査・共通配線駆動回路、141…走査配線選択用シフトレジスタ、142…共通配線選択用シフトレジスタ、143…共通配線選択用アンプ回路、144…走査配線選択用アンプ回路、150…液晶表示部、160…バックライト、161…バックライト駆動回路、170…液晶表示コントローラ、171…動画判定回路、172…メモリ、173…信号配線駆動回路制御用回路、174…走査配線駆動回路制御用回路、175…画像表示期間制御回路、176…明るさ制御回路、177…発光部位・明るさ制御回路、201…走査配線電位、202…信号配線電位、203…共通配線電位、204…液晶印加電圧、211…画像書き込みパルス、212…液晶印加電圧クリアパルス、220…垂直走査期間、221…画像表示期間、204…液晶印加電圧。

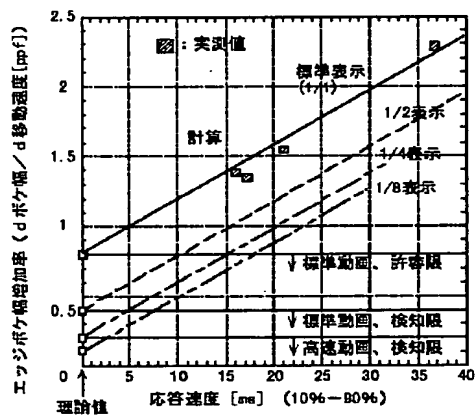
【図1】

図 1



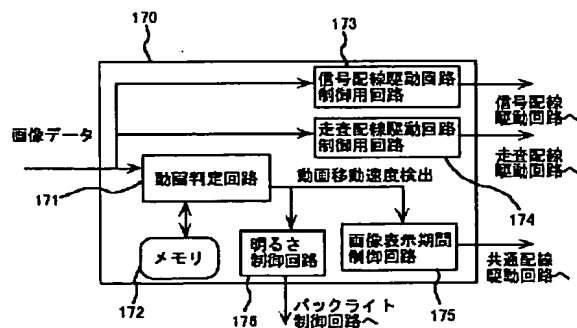
【図3】

図 3



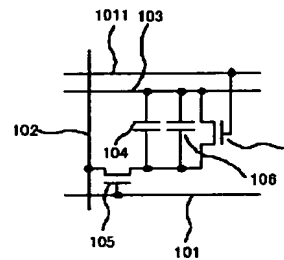
【図6】

図 6



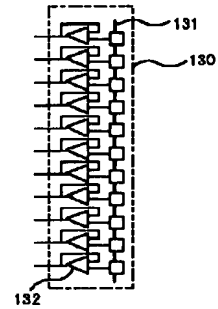
【図2】

図 2



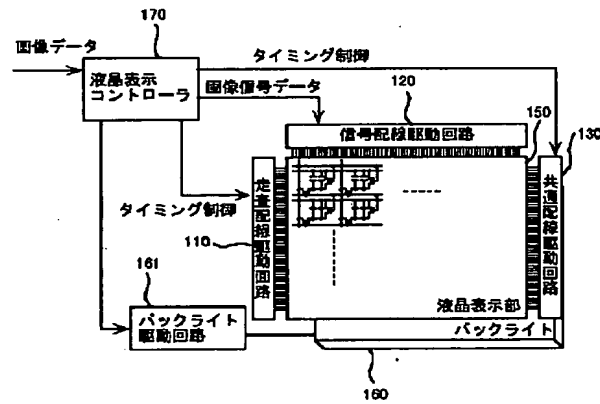
【図5】

図 5



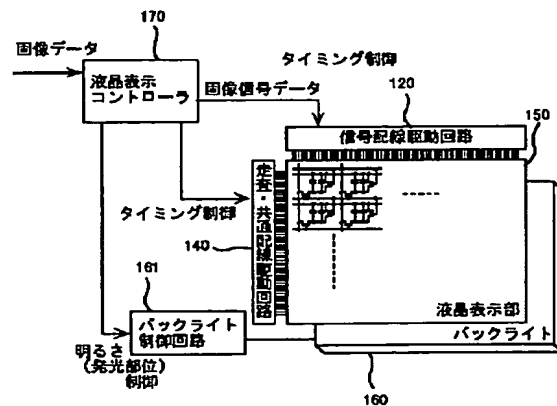
【図4】

図 4



【図7】

図 7



【図8】

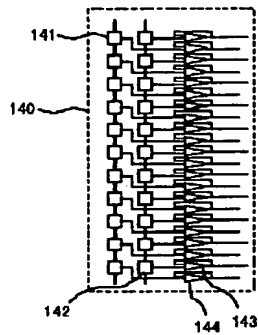


図 8

【図9】

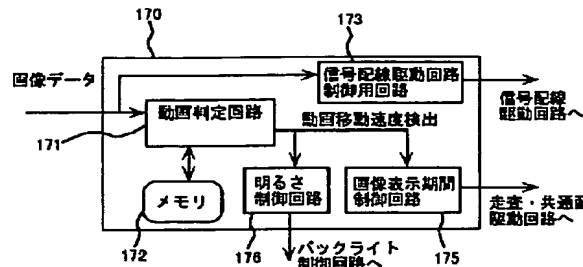


図 9

【図13】

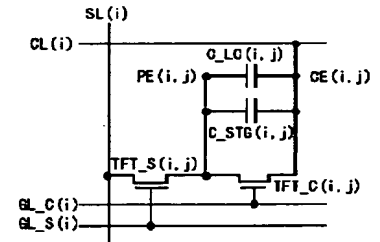


図 13

【図11】

【図10】

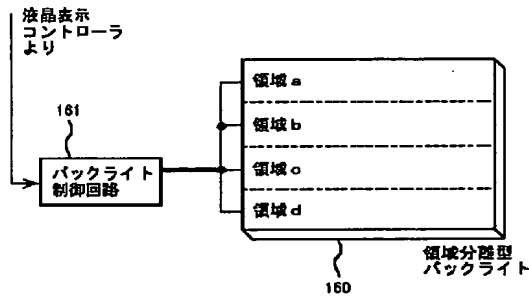
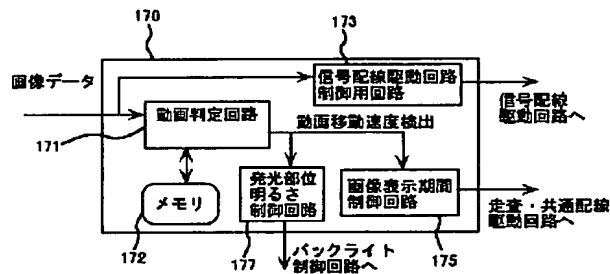


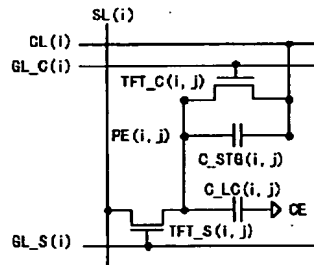
図 10

図 11



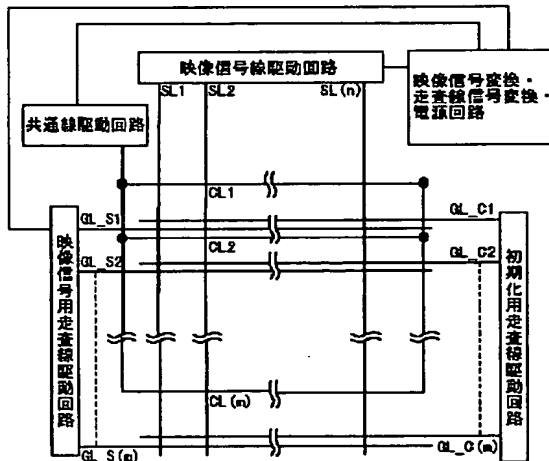
【図15】

図 15



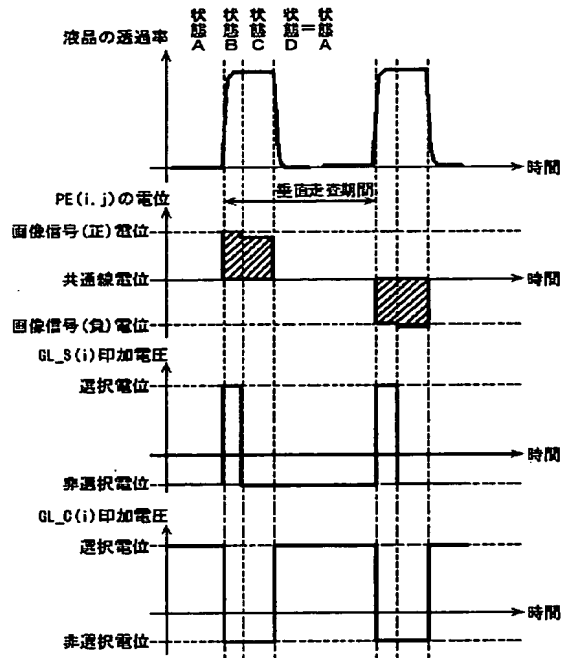
【図12】

図 12



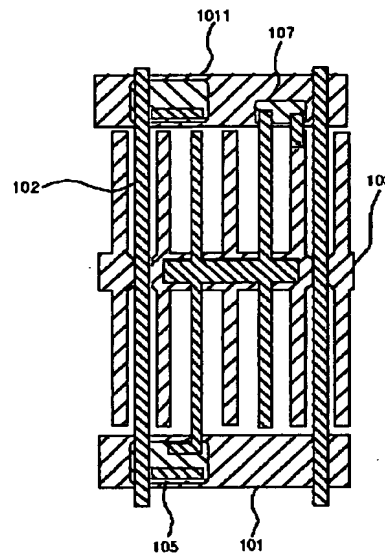
【図14】

図 14



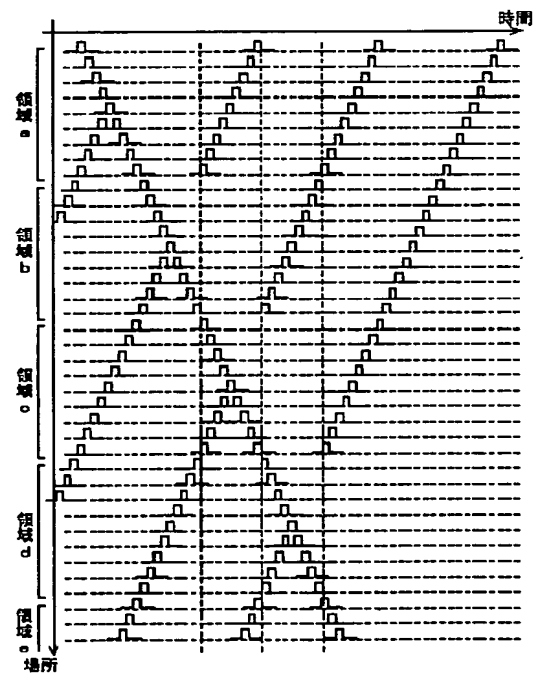
【図16】

図 16



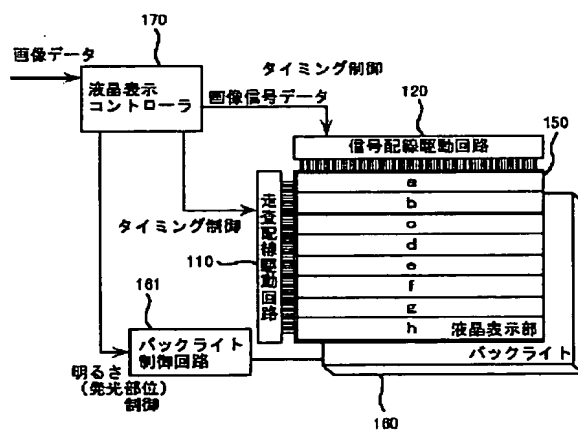
【図18】

図 18



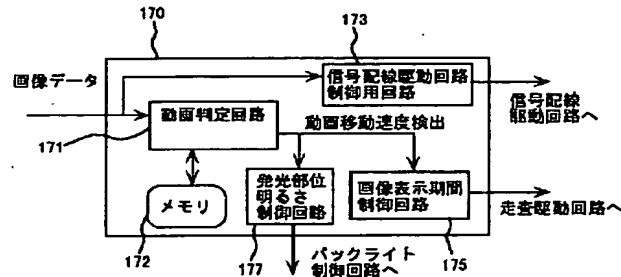
【図17】

図 17



【図19】

図 19



フロントページの続き

(51) Int. Cl. ⁷	識別記号	F I	ターマート (参考)
G 0 2 F 1/1368		G 0 9 G 3/20	6 2 1 M 5 C 0 9 4
G 0 9 F 9/30	3 3 8		6 2 4 B
G 0 9 G 3/20	6 2 1		6 4 1 R
	6 2 4		6 6 0 W
	6 4 1	3/34	J
	6 6 0	G 0 2 F 1/1335	5 3 0
3/34		1/136	5 0 0

(72) 発明者 津村 誠
 茨城県日立市大みか町七丁目1番1号 株
 式会社日立製作所日立研究所内
 (72) 発明者 檜山 郁夫
 茨城県日立市大みか町七丁目1番1号 株
 式会社日立製作所日立研究所内

F ターム (参考) 2H091 FA41Z FD22 GA13 LA18
 2H092 GA14 JA24 JB22 JB42 NA05
 NA26 PA06 PA13
 2H093 NA16 NA43 NC10 NC16 NC29
 NC34 NC42 NC52 NC56 NC65
 ND07 ND33 ND34 ND39 ND54
 NE03 NE06
 5C006 AA01 AA11 AA22 AC11 AC21
 AC22 AF19 AF53 AF69 AF71
 BB16 BC03 BC06 BC16 BF02
 FA12 FA47
 5C080 AA10 BB05 CC03 DD02 DD08
 DD26 EE19 FF11 GG08 JJ02
 JJ03 JJ04 JJ06 KK02 KK43
 5C094 AA02 BA03 BA43 CA19 CA24
 EA04 EA07 EB02 FB12 FB14
 FB15